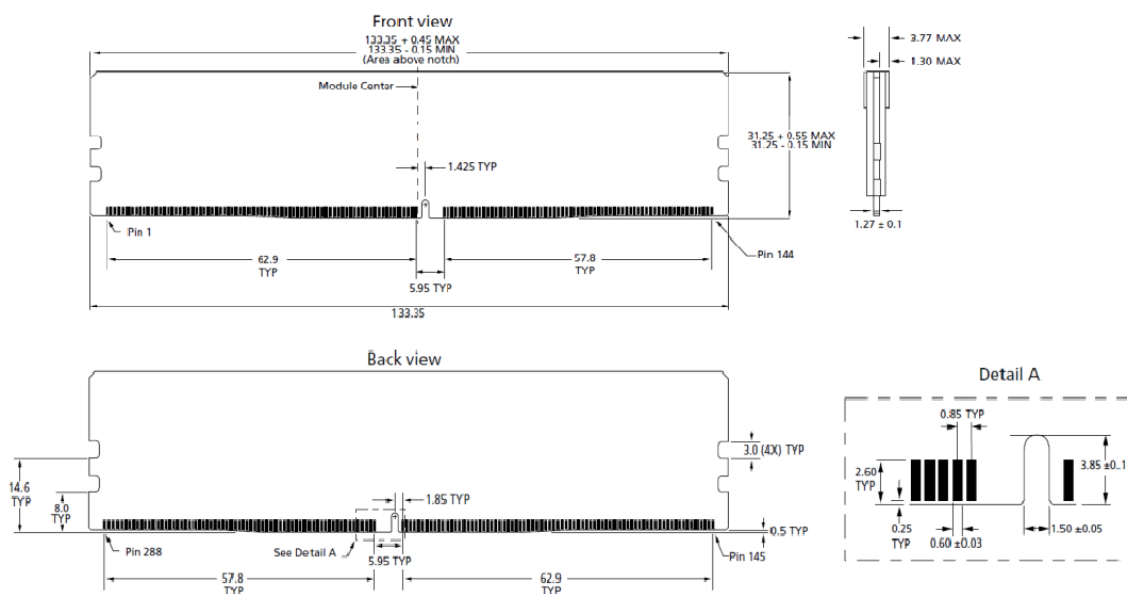


All measurements are in millimeters.
(Tolerances on all dimensions are ± 0.12 unless otherwise specified)



ESPECIFICAÇÕES TÉCNICAS

Módulos de memória dual in-line DDR5 unbuffered 288 pinos
Arquitetura DDR (Double Data Rate) 4chips, 8 chips ou 16 chips
PCB 8 ou 10 Layers
Padrão JEDEC, alimentação VDDQ = 1.1V
"Data Strobe" bi-direcional
Latência programável "CAS latency" (30,32,39,40,42,46,48,52)
Ajuste de impedância OCD (Off Chip Driver)
Terminação "On-Die" (ODT)
Correção de erros "On-Die ECC"
Teste de conectividade (CT)
DFE (Decision Feedback Equalization) DQ
PMIC para estabilidade da tensão
BL16, BC8 OTF, BL32, BL32 OTF suportado
Organização 8 bancos internos, 4 grupos com 2 bancos cada ou
Organização 16 bancos internos, 8 grupos com 2 bancos cada ou
Organização 16 bancos internos, 4 grupos com 4 bancos cada ou
Organização 32 bancos internos, 8 grupos com 4 bancos cada
SPD (Serial presence detect) com EEPROM
Dimensão padrão DIMM 288 pinos
Conformidade com diretiva RoHS
Temperatura de operação 0°C até 85°C
Contatos banhados a ouro